

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020007037 A
(43)Date of publication of application: 26.01.2002

(21)Application number: 1020000040708

(71)Applicant:

SAMSUNG ELECTRONICS

(22)Date of filing: 14.07.2000

CO., LTD.

(72)Inventor:

NOH, SU GWI

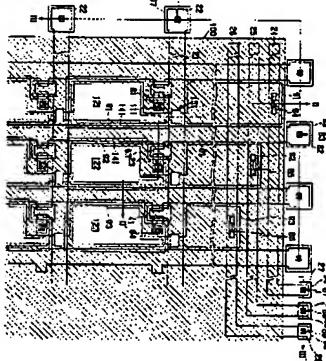
(51)Int. Cl

G02F 1/136

(54) THIN FILM TRANSISTOR SUBSTRATE AND METHOD OF FABRICATING THE SAME

(57) Abstract:

PURPOSE: A thin film transistor substrate and a method of fabricating the substrate are provided in which a color filter is directly formed on the thin film transistor substrate to improve aperture rate and the color filter is formed using electro-deposition to reduce the number of masks used for fabricating the thin film transistor. CONSTITUTION: A thin film transistor substrate includes an insulating substrate, a plurality of gate lines(21) formed on the insulating substrate, and a plurality of data lines(61) intersecting the gate lines to define a plurality of pixel regions. The substrate further has a plurality of thin film transistors formed at the pixel regions and electrically connected to the data lines, a passivation film formed on the substrate, exposing the drain electrode of each thin film transistor, and polarizing plates(91,92,93) for electro-deposition placed in the pixel regions, exposing the drain electrode. The substrate also has a light-shielding layer(100) having an opening exposing the inner regions of the polarizing plates and a contact hole exposing the drain electrode, the first to third color filters(121,122,123) formed on the exposed region of the polarizing plate, and a plurality of pixel electrodes each of which is formed at each pixel region.



copyright KIPO 2002

Legal Status

Date of request for an examination (20050617)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20061009)

Patent registration number (1006467900000)

Date of registration (20061109)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/136(11) 공개번호 특2002-0007037
(43) 공개일자 2002년01월26일(21) 출원번호 10-2000-0040708
(22) 출원일자 2000년07월14일(71) 출원인 삼성전자 주식회사
경기 수원시 팔달구 매탄3동 416
(72) 발명자 노수귀
서울특별시도봉구쌍문1동480-42호 12-8반
(74) 대리인 유미특허법인, 김원근심사청구 : 없음(54) 박막 트랜지스터 기판 및 그 제조 방법**요약**

본 발명은 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법에 관한 것으로, 절연기판 위에 다수 개의 게이트선이 형성되어 있고, 게이트선 각각에 교차하여 다수개의 화소셀 영역을 정의하는 다수개의 데이터선이 형성되어 있고, 화소셀 영역 각각에 게이트선과 데이터선에 전기적으로 연결되어 형성되는 다수개의 박막 트랜지스터가 형성되어 있고, 박막 트랜지스터 각각의 드레인 전극을 노출시키는 보호막이 형성되어 있고, 보호막 위에서 서로 분리되어 상기 화소셀 영역의 내부에 위치하되, 드레인 전극을 노출시키는 전착용 극판이 형성되어 있고, 화소셀 영역 각각에서 전착용 극판의 내부 영역을 노출하는 개구부와 노출된 드레인 전극을 노출시키는 접촉 구멍이 있는 차광막이 형성되어 있고, 전착용 극판 각각의 노출된 영역 위에 다수개의 제 1 내지 제 3 형 칼라 필터가 형성되어 있고, 노출된 드레인 전극 각각에 연결되어 화소셀 영역 각각에 다수개의 화소전극이 형성되도록 구성되며, 칼라필터를 박막 트랜지스터 기판에 바로 형성하기 때문에, 개구율을 향상시킬 수 있고, 전착법에 의하여 칼라 필터를 형성하기 때문에 사용되는 마스크의 수를 줄일 수 있어서 제조공정을 단순화할 수 있다.

대표도**도1****색인어**

전착, 개구율, 제조공정 단순화, 개구율

영세서**도면의 간단한 설명**

도 1은 본 발명의 실시예에 따른 박막 트랜지스터 기판의 배치도이고,
 도 2는 도 1에 도시한 박막 트랜지스터 기판을 절단선 Ⅱ-Ⅱ'을 따라 도시한 단면도이고,
 도 3은 도 1에 도시한 박막 트랜지스터 기판을 절단선 Ⅲ-Ⅲ'을 따라 도시한 단면도이고,
 도 4a는 본 발명의 실시예에 따라 제조되는 첫 번째 단계에서의 박막 트랜지스터 기판의 배치도이고,
 도 4b와 도 4c는 도 4a에 도시한 기판을 각각 IVb-IVb'와 IVc-IVc'선을 따라 잘라 도시한 단면도이며,
 도 5a는 본 발명의 실시예에 따라 제조되는 두 번째 단계에서의 박막 트랜지스터 기판의 배치도이고,
 도 5b와 도 5c는 도 5a에 도시한 기판을 각각 Vb-Vb'와 Vc-Vc'선을 따라 잘라 도시한 단면도이며,
 도 6a는 본 발명의 실시예에 따라 제조되는 세 번째 단계에서의 박막 트랜지스터 기판의 배치도이고,
 도 6b와 도 6c는 도 6a에 도시한 기판을 각각 VIb-VIb'와 VIc-VIc'선을 따라 잘라 도시한 단면도이며,
 도 7a는 본 발명의 실시예에 따라 제조되는 네 번째 단계에서의 박막 트랜지스터 기판의 배치도이고,
 도 7b와 도 7c는 도 7a에 도시한 기판을 각각 VIIb-VIIb'와 VIIc-VIIc'선을 따라 잘라 도시한 단면도이며,
 도 8a는 본 발명의 실시예에 따라 제조되는 다섯 번째 단계에서의 박막 트랜지스터 기판의 배치도이고,
 도 8b와 도 8c는 도 8a에 도시한 기판을 각각 VIIIb-VIIIb'와 VIIIc-VIIIc'선을 따라 잘라 도시한 단면도이고,
 도 9a는 본 발명의 실시예에 따라 제조되는 여섯 번째 단계에서의 박막 트랜지스터 기판의 배치도이고,
 도 9b와 도 9c는 도 9a에 도시한 기판을 각각 IXb-IXb'와 IXc-IXc'선을 따라 잘라 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기판과 그 제조방법에 관한 것이다.

현재 널리 사용되고 있는 평판 표시 장치 중 하나인 액정 표시 장치는 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 구성되어 있고, 이를 전극에 전압을 인가하여 액정층의 액정分子들을 재 배열시킴으로써 액정층에 투과되는 빛의 양을 조절하는 방식으로 화상을 표시한다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고, 이를 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 박막 트랜지스터 액정 표시 장치이다. 통위의 박막 트랜지스터 액정 표시 장치는 게이트선 및 데이터선과 같은 다수의 배선, 화소 전극 및 화소 전극에 전달되는 화상 신호를 제거하는 박막 트랜지스터가 형성되어 있는 박막 트랜지스터 기판과 박막 트랜지스터 기판의 화소 전극과 마주하는 공통 전극 및 적(R), 녹(G), 청(B)의 컬러 필터가 형성되는 있는 컬러 필터 기판으로 구성되어 있다.

액정 표시 장치의 각 배선과 소자들은 통위의 반도체 제조 공정과 같이, 마스크를 이용한 사진 식각 공정을 통하여 제조된다. 사진 식각 공정시, 박막 트랜지스터 기판의 경우에는 통상적으로 5장 또는 6장의 마스크를 사용하며, 컬러 필터 기판의 경우에는 3장 또는 4장의 마스크를 사용한다.

사진 식각 공정은 소정의 패턴을 구비하는 마스크를 제작하는 공정, 감광막 패턴을 형성하는 사진 공정과 감광막 패턴을 식각 마스크로 하부막을 식각하는 식각 공정 등 일련의 복잡한 공정을 통하여 진행된다. 따라서, 사진 식각 공정에 사용되는 마스크의 수를 줄임으로써 제조 공정을 단순화하는 것이 액정 표시 장치의 생산 비용을 줄이고 생산 수율을 향상시킨다는 점에서 요구된다.

한편, 액정 표시 장치의 휘도는 백라이트등의 휘도와 기판의 광투과율로 결정된다. 휘도의 향상이 소비 전력감소에 영향을 준다는 것을 생각한다면, 기판의 개구율을 높일 수 있도록 기판의 구조를 개선하는 것이 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 제조 공정 중에 사용되는 마스크 수를 줄임으로써 액정 표시 장치의 제조 공정을 단순화하고자 하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 액정 표시 장치의 두 기판 사이의 공정 마진(margin)을 최소화함으로써 개구율을 향상시키고자 하는 것이다.

발명의 구성 및 작용

이러한 과제를 달성하기 위하여 본 발명에서는 컬러 필터를 박막 트랜지스터가 배열되어 있는 기판 즉, 박막트랜지스터 기판에 형성하고, 이 컬러 필터를 전착법에 의하여 형성하는 기술을 사용한다.

더욱 상세하게, 본 발명에 따른 박막 트랜지스터 기판에서는 절연기판 위에 다수개의 게이트선이 형성되어 있고, 게이트선 각각에 교차하여 다수개의 화소셀 영역을 정의하는 다수개의 데이터선이 형성되어 있다. 화소셀 영역 각각에는 게이트선과 데이터선에 전기적으로 연결되는 다수개의 박막 트랜지스터가 형성되어 있고, 박막 트랜지스터 각각의 드레인 전극을 노출시키는 보호막이 형성되어 있다. 보호막 위에는 서로 분리되어 화소셀 영역의 내부에 위치하되, 드레인 전극을 노출시키는 전착용 극판이 형성되어 있고, 화소셀 영역 각각에는 전착용 극판의 내부 영역을 노출하는 개구부와 상기 노출된 드레인 전극을 노출시키는 접촉 구멍이 있는 차광막이 형성되어 있다. 그리고, 전착용 극판 각각의 노출된 영역 위에는 다수개의 제 1 내지 제 3 형 칼라 필터가 형성되어 있고, 다수개의 화소 전극이 노출된 드레인 전극 각각에 연결되어 화소셀 영역 각각에 형성되어 있다.

여기서, 게이트선 각각의 끝단에 형성되는 다수개의 게이트 패드와 데이터선 각각의 끝단에 형성되는 다수개의 데이터 패드를 더 포함할 수 있다.

이 때, 전착용 극판이 드레인 전극을 포함하는 박막 트랜지스터에 중첩되지 않도록 형성되거나, 드레인 전극만을 노출시키고 화소셀 영역 전체에 중첩되게 형성될 수 있다.

이러한 박막 트랜지스터 기판을 제조하기 위해서는 우선, 절연기판 위에 게이트 전극과 게이트선을 포함하는 게이트 배선과 제 1 내지 제 3 전착용 배선을 형성한 후, 게이트 배선과 전착용 배선을 덮는 게이트 절연막을 형성한다. 이어서, 게이트 절연막 위에 게이트 전극에 중첩되는 반도체층을 형성한 후, 반도체층에 접촉되는 소스 전극, 상기 소스 전극에 대응되어 반도체층에 접촉되는 드레인 전극, 소스 전극에 연장되어 게이트선에 교차하여 화소셀 영역을 정의하는 데이터선을 포함하는 데이터 배선을 형성한다. 이어서, 데이터 배선과 상기 반도체층을 덮는 보호막을 형성한 후, 보호막과 게이트 절연막에 드레인 전극을 노출시키는 접촉 구멍과 제 1 내지 제 3 전착용 배선을 순차적으로 노출시키는 접촉 구멍을 형성한다. 이어서, 제 1, 제 2 및 제 3 전착용 배선에 일대일 대응으로 연결되어 화소셀 영역에 연장되는 제 1 내지 제 3 전착용 극판을 형성한 후, 화소셀 영역에 위치하는 전착용 극판의 내부영역을 노출시키고, 노출된 드레인 전극을 노출시키는 차광막을 형성한다. 이어서, 전착용 극판의 노출부분 위에 위치해, 화소셀 각각에 정의되어 있는 특정색을 가지는 다수개의 제 1 내지 제 3 칼라 필터층을 전착공정에 의하여 순차적으로 형성한 후, 게이트선에 교차하는 전착용 극판 부분을 선택적으로 제거한다. 이어서, 드레인 전극에 연결되어 화소셀 각각에 서로 분리되어 형성되는 다수개의 화소전극을 형성한다.

여기서, 게이트선에 교차하는 전착용 극판 부분의 제거는 게이트선과 전착용 극판이 교차부에 위치하는 차광막 부분을 사진 식각하여 그 하단의 전착용 극판을 노출시킨 후, 전착용 극판의 노출된 부분을 추가로 식각하는 공정을 통하여 이루어질 수 있다.

또한, 게이트배선 형성시에, 게이트선의 일단에 게이트 패드를 더 형성하고, 상기 데이터배선 형성시에, 데이터선의 일단에 데이터 패드를 더 형성할 수 있다. 이 때, 드레인 전극과 상기 제 1 내지 제 3 전착용 배선을 노출시키는 접촉 구멍 형성시에, 게이트 패드를 노출시키는 접촉 구멍과 데이터 패드를 노출시키는 접촉 구멍을 더 형성하고, 제 1 내지 제 3 전착용 극판 형성시에 상기 게이트 패드를 덮는 게이트 보조 패드와 상기 데이터 패드를 덮는 데이터 보조 패드를 더 형성할 수 있다. 혹은, 드레인 전극과 상기 제 1 내지 제 3 전착용 배선을 노출시키는 접촉 구멍 형성시에, 게이트 패드를 노출시키는 접촉 구멍과 데이터 패드를 노출시키는 접촉 구멍을 더 형성하고, 화소 전극 형성시에 게이트 패드를 덮는 게이트 보조 패드와 데이터 보조 패드를 더 형성할 수 있다.

그러면, 첨부 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 기판 및 그 제조 방법에 대하여 상세히 설명한다.

먼저, 도 1 내지 도 3을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 기판의 구조에 대하여 설명한다.

도 1은 본 발명의 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 2와 도 3은 도 1에 도시한 박막 트랜지스터 기판을 절개선 II-II'와 III-III'을 따라 각각 도시한 단면도이다.

절연기판(10) 위에는 가로방향으로 연장된 게이트선(21), 게이트선(21)의 끝단에 위치한 게이트 패드(22) 및 게이트선(21)에서 둘출된 게이트 전극(23)을 포함하는 게이트 배선(21,22,23)이 다수개 형성되어 있다. 그리고, 게이트 배선(21,22,23)과 동일한 층에 위치하는 주변부에는 게이트선(21)과 나란한 가로방향으로 연장된 제 1 내지 제 3 전착용선(24)(25)(26)과 각각의 전착용선(24)(25)(26)의 끝단에 위치하되, 세로방향으로 연장된 제 1 내지 제 3 전착용 패드(27)(28)(29)를 포함하는 전착용 배선(24,25,26,27,28,29)이 형성되어 있다.

전착용 배선(24,25,26,27,28,29)은 이후에 형성되는 전착용 극판(91,92,93) 위에 전착 칼라 필터층(121,122,123)을 형성하는 과정에서 전착용 전압을 전착용 극판(91,92,93)에 인가하기 위한 전착용 전압 공급선으로 사용된다.

칼라 필터의 형성 기술 중의 하나인 전착 공정은 전하를 가지고 있는 가용성 수지에 안료를 분산한 전착 용액 중에 전착용 극판과 이에 대응되는 대향전극과의 사이에 전압을 인가하여 전착용 극판에 소정 두께의 전착 칼라 필터층을 불리는 기술이다.

전착용선의 수는 칼라 필터층의 종류에 의하여 그 수가 결정되는데, 본 발명의 실시예에서는 적(R), 녹(G), 청(B)의 전착 칼라 필터층을 각각 형성할 수 있도록 세 개의 제 1 내지 제 3 전착용선(24)(25)(26)이 형성되어 있다.

그리고, 게이트배선(21,22,23)과 전착용배선(24,25,26,27,28,29)을 덮고 있는 게이트절연막(30)이 형성되어 있다.

게이트절연막(30) 위에는 게이트 전극(23)에 중첩되는 반도체층(41)이 형성되어 있고, 반도체층(41) 위에는 저항성 접촉층(51)(52)이 형성되어 있다.

그리고, 저항성 접촉층(51,52)과 게이트 절연막(30) 위에는 게이트선(21)에 교차하여 세로방향으로 연장되어 있는 데이터선(61), 데이터선(61)의 끝단에 위치하는 데이터 패드(62), 데이터선(61)로부터 둘출되어 하나의 저항성 접촉층(51)에 접촉되어 있는 소스 전극(63) 및 소스전극(63)에 대응하여 나머지 다른 하나의 저항성 접촉층(53)에 접촉되어 있는 드레인 전극(64)을 포함하는 데이터 배선(61,62,63,64,65)이 형성되어 있다. 이 때, 주변부에서는 데이터선(61)이 전착용선(24,25,26)에 교차되며, 데이터 패드(62)가 전착용 패드(27,28,29)와 나란하게 위치하게 된다.

게이트선(21)과 데이터선(61)은 화면표시부에서 서로 교차하여 매트릭스 형상으로 배열되는 다수개의 화소셀 영역을 정의한다. 각각의 화소셀 영역에서의 게이트선(21)과 데이터선(62)의 교차부에는 게이트 전극(23), 게이트 절연막(30), 반도체층(41), 소스 전극(63), 드레인 전극(64)이 박막 트랜지스터를 구성하고 있다.

그리고, 데이터 배선(61,62,63,64,65)과 반도체층(41)을 덮고 있는 보호막(70)이 형성되어 있다.

보호막(70)에는 드레인 전극(64)을 노출시키는 접촉 구멍(81)과 데이터 패드(62)를 노출시키는 접촉 구멍(83)이 형성되어 있다. 또한, 게이트 절연막(30)과 함께 보호막(70)에는 게이트 패드(22)를 노출시키는 접촉 구멍(82), 제 1 내지 제 3 전착용선(24)(25)(26)을 각각 노출시키는 접촉 구멍(84)(85)(86)과 제 1 내지 제 3 전착용 패드(27)(28)(29)를 각각 노출시키는 접촉 구멍(87)(88)(89)이 형성되어 있다.

그리고, 보호막(70) 위에는 각각의 데이터선(61) 사이에 교대로 위치하는 제 1 내지 제 3 전착용 극판(91)(92)(93), 전착용 패드(25)(27)(29)를 덮고 있는 전착용 보조패드(95)(96)(97), 게이트 패드(22)를 덮는 게이트 보조 패드(97) 및 데이터 패드(62)를 덮는 데이터 보조 패드(98)가 형성되어 있다.

이 때, 각각의 제 1 내지 제 3 전착용 극판(91)(92)(93)은 화면표시부에서 화소셀 영역 별로 각각 분리되어 있고, 주변부에서는 제 1 내지 제 3 전착용선(24)(25)(26)을 노출시키는 접촉 구멍(84)(85)(86)을 통하여 제 1 내지 제 3 전착용선(24)(25)(26)에 각각 일대일 대응으로 연결되어 있다.

또한, 전착용 보조 패드(95)(96)(97)는 접촉 구멍(87)(88)(89)을 통하여 전착용 패드(95)(96)(97)에 연결되어 있고, 게이트 보조 패드(97)와 데이터 보조 패드(98)가 접촉 구멍(82)(83)을 통하여 게이트 패드(22)와 데이터 패드(62)에 각각 연결되어 있다.

제 1 내지 제 3 전착용 극판(91)(92)(93)은 도면에 보인 바와 같이, 각각의 화소셀 영역에서 드레인 전극(64)을 포함하는 박막 트랜지스터 전체를 노출시킨 상태로 형성되거나, 드레인 전극(64)만을 노출시키고 화소셀 영역 전체를 덮도록 형성될 수 있다.

화면 표시부에서는 화소셀의 전착영역 즉, 이후에 칼라 필터 전착층(121)(122)(123)이 형성될 부분을 노출시키도록 패턴되어 있는 차광막(100)이 형성되어 있다. 이 때, 차광막(100)이 게이트 패드(22), 데이터 패드(62) 및 전착용 보조 패드(87)(88)(89)를 덮지 않도록 그 끝단이 패드들과 소정의 간격을 두고 형성되어 있다.

그리고, 차광막(100)에 의하여 선택적으로 노출된 화면표시부의 제 1 내지 제 3 전착용 극판(91)(92)(93)의 노출된 면 위에는 각각 적(R), 녹(G), 청(B)의 전착 칼라 필터층 즉, 제 1 내지 제 3 칼라 필터층(121)(122)(123)이 형성되어 있다.

도면에 보인 바와 같이, 본 발명의 실시예에에서는 차광막(100)이 노출하는 전착 영역의 면적에 따라 액정 표시 장치의 개구율이 결정된다. 따라서, 개구율을 높이기 위해서 광투과 영역을 최대로 넓히는 것이 필요한데, 이를 위하여, 차광막은 배선과 배선 사이의 빛새는 영역을 덮되, 전착용 극판의 가장자리와의 중첩을 최소화하도록 형성되는 것이 유리하다.

그리고, 전착 칼라 필터층(91)(92)(93)과 차광막(100) 위에는 접촉 구멍(111)을 통하여 드레인 전극(64)과 연결되어 있는 화소 전극(141)이 각각의 화소셀 영역에 형성되어 있다.

그러면, 본 발명의 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여 도 4a 내지 도 8c와 앞서의 도 1 내지 도 3을 참고로 하여 상세히 설명한다.

도 4a 내지 도 4c를 참조하면, 절연기판(10) 위에 도전층을 증착한 후, 사진식각하여 게이트선(21), 게이트선(21)에서 둘출되는 게이트 전극(22) 및 게이트선(21)의 끝단에 형성된 게이트 패드(23)를 포함하는 게이트배선과 제 1 내지 제 3 전착용선(24)(25)(26)과 이들의 끝단에 연장되는 제 1 내지 제 3 전착용패드(27)(28)(29)를 포함하는 전착용 배선을 형성한다.

게이트 배선(21,22,23)과 전착용 배선(24,25,26,27,28,29)을 형성하기 위한 도전층은 구리, 알미늄, 크롬, 몰리브덴 또는, 이를 중 둘 이상의 조합으로 합성되는 합금 등과 같은 전도성이 우수한 금속물질을 사용하여 형성할 수 있다. 이 때, 도전층을 단일층으로 형성할 수도 있지만, 이중층 혹은, 삼중층으로 형성할 수도 있다. 이 경우에는 한 층은 저저항 물질로 형성하고, 다른 한 층은 저저항 물질로 형성된 층과 접촉특성이 우수한 물질로 형성할 수 있다. 또한, 사진식각공정은 건식 또는 습식 식각법에 의하여 진행할 수 있다.

도 5a 내지 도 5c를 참조하면, 게이트 절연막(30), 수소화 비정질 규소층과 n형 물순물이 고농도로 도핑되어 있는 비정질 규소층을 연속적으로 증착한 후, n형 물순물이 고농도로 도핑되어 있는 비정질 규소층과 비정질 규소층을 사진식각하여 반도체층(41)과 반도체층과 동일한 패턴을 가지는 저항성 접촉층을 형성한다.

게이트 절연막(30)은 통상의 절연물질인 산화 규소 혹은, 질화 규소를 사용하여 형성할 수 있다.

이어서, 기판의 노출된 면에 도전층을 증착한 후, 사진식각하여 데이터선(61), 데이터선(61)의 끝단에 연결되는 데이터 패드(62), 데이터선(61)에 둘출되어 하나의 저항성 접촉층(51)에 접촉되는 소스 전극(63)과 소스 전극(63)에 대응되어 다른 하나의 저항성 접촉층(52)에 접촉되는 드레인 전극(64)을 포함하는 데이터 배선을 형성한다.

데이터 배선(61,62,63,64)을 형성하기 위한 도전층은 구리, 알미늄, 크롬, 몰리브덴 또는, 이를 중 둘 이상의 조합으로 합성되는 합금 등과 같은 전도성이 우수한 금속물질을 사용하여 형성할 수 있다. 이 때, 도전층을 단일층으로 형성할 수도 있지만, 이중층 혹은, 삼중층으로 형성할 수도 있다. 이 경우에는 한 층은 저저항 물질로 형성하고, 다른 한 층은 저저항 물질로 형성된 층과 접촉특성이 우수한 물질로 형성할 수 있다. 또한, 사진식각공정은 건식 또는 습식 식각법에 의하여 진행할 수 있다.

이어서, 소스 전극(63)과 드레인 전극(64)을 마스크로 그 하단에 위치하는 저항성 접촉층의 노출부분을 제거하여 각기 분리되는 저항성 접촉층(51)(52)을 형성한다.

이러한 데이터 배선 형성시에, 게이트선(22)에 중첩하여 스토리지 캐퍼시터를 형성하는 별도의 데이터 패턴을 더 형성할 수 있다.

도 6a 내지 도 6c를 참조하면, 데이터배선(61,62,63,64)을 덮는 보호막(70)을 증착한 후, 보호막(70)을 게이트절연막(30)과 함께 사진식각하여 드레인 전극(64)을 노출시키는 접촉 구멍(81), 게이트 패드(22)를 노출시키는 접촉 구멍(82), 데이터 패드(62)를 노출시키는 접촉 구멍(83), 제 1 내지 제 3 전착용선(24)(25)(26)을 각각 노출시키는 접촉 구멍(84)(85)(86) 및 제 1 내지 제 3 전착용 패드(27)(28)(29)를 각각 노출시키는 접촉 구멍(87)(88)(89)을 형성한다.

보호막(70)은 통상의 유기 절연 물질 혹은, 무기 절연 물질을 사용하여 형성할 수 있다. 무기 절연 물질을 사용하여 보호막(70)을 형성하는 경우에는 소자의 전기적 신뢰성을 향상시킬 수 있다.

그 다음, 기판의 노출된 전면 위에 전착용 도전층을 증착한 후, 사진식각하여 각각의 데이터선(62) 사이에 위치하는 제 1 내지 제 3 전착용극판(91)(92)(93), 제 1 내지 제 3 전착용 패드(25)(26)(27)를 각각 덮는 제 1 내지 제 3 전착용 보조 패드(94)(95)(96), 게이트 패드(22)를 덮는 게이트 보조 패드(97)와 데이터 패드(62)를 덮는 데이터 보조 패드(98)를 형성한다.

이 때, 각각의 제 1 내지 제 3 전착용 극판(91,92,93)을 접촉 구멍(84,85,86)을 통하여 제 1 내지 제 3 전착용선(24,25,26)에 일대일 대응으로 연결하고, 제 1 내지 제 3 전착용 보조 패드(94)(95)(96)를 접촉 구멍(87)(88)(89)을 통하여 제 1 내지 제 3 전착용 패드(25)(26)(27)에 연결하고, 게이트 보조 패드(97)를 접촉 구멍(82)을 통하여 게이트 패드(22)에 연결하고, 데이터 보조 패드(98)를 접촉

구멍(83)을 통하여 데이터 패드(62)에 연결한다.

전착용 극판(91,92,93)과 각각의 보조패드(94,95,96,97,98)를 형성하기 위한 도전층은 ITO(indium tin oxide)와 같은 투명 도전 물질을 증착하여 형성할 수 있다.

게이트 보조 패드(97)와 데이터 보조 패드(98)를 전착용 극판(91,92,93)을 형성하는 과정에서 전착용 극판(91,92,93)과 동시에 형성하는 대신에 후속 공정인 화소 전극(141)을 형성하는 과정에서 화소 전극과 동시에 형성할 수 있다.

이 때, 전착용 극판(91,92,93)이 접촉 구멍(81)을 통하여 노출된 드레인 전극(64)을 덮지 않도록 패턴한다. 이 경우, 전착용 극판(91,92,93)을 도 6a에 보인 바와 같이, 드레인 전극(64)을 포함하는 박막 트랜지스터 전체를 노출시키도록 패턴하거나 혹은, 드레인 전극(64) 만을 노출시키고 화소셀 영역 전체를 덮도록 패턴할 수 있다.

도 7a 내지 도 7c를 참조하면, 기판의 노출된 전면을 덮는 차광막(100)을 형성한 후, 차광막(100)을 사진식각하여 후에 전착 칼라 필터층(121,122,123)이 형성될 전착용 극판 부분이 노출되도록 개구부(112)를 형성하고, 접촉 구멍(81)을 통하여 노출된 드레인전극을 다시 노출시키는 접촉 구멍(111)을 형성한다. 주변부에 위치하는 전착용 극판 부분은 차광막(100)에 의해 덮혀 있는 상태를 유지한다.

이 때, 차광막(100)이 주변부의 데이터 패드(65), 게이트 패드(21) 및 전착용 보조 패드(94,95,96)를 모두 노출시키도록 주변부의 각 패드들과 적당한 간격을 유지하도록 패턴한다.

차광막(100)은 저반사특성이 좋은 유기 BM (black matrix) 물질을 사용하여 형성할 수 있다.

도 8a 내지 도 8c를 참조하면, 전착 공정에 의하여 차광막(100)의 개구부(112)에 의하여 선택적으로 노출된 전착용 극판(91)(92)(93) 위에 적(R), 녹(G), 청(B)의 전착 칼라 필터층(121)(122)(123)을 순차적으로 형성한다.

전착 공정은 기판 위에 도전층을 증착한 후 패터닝하여 이 도전막 위에 전기 영동적으로 착색층을 형성하는 기술을 사용한다. 구체적으로는, 전하를 가지고 있는 가용성 수지에 안료를 분산한 전착용액 중에서 전착용 극판과 대향전극과의 사이에 전압을 인가하여 전착용 극판에 소정 두께의 착색층을 형성함으로써 칼라 필터를 형성한다.

본 발명의 실시예에 의하여 전착 칼라 필터층을 형성하기 위하여 우선, 소정의 색 예를 들어, 적색 전착용액 중에 기판을 투입한 후, 제 1 전착용 보조패드(95)와 전착 용액 중의 다른 대향 전극에 소정 크기의 전압을 인가한다. 그래서, 제 1 전착용 션(22)에 연결되는 제 1 전착용 극판(91)의 노출부분에 적색의 수지가 전착되며 함으로써 적색의 제 1 전착 칼라 필터층(121)을 형성한다. 이어서, 동일한 방법을 사용하여, 순차적으로 제 2 및 제 3 전착용 전극(92)(93)의 노출부분에 예를 들어, 녹색의 전착 칼라 필터층(122)과 청색의 전착 칼라 필터층(123)을 형성한다.

전착 기술이 아닌 다른 일반적인 칼라 필터 형성 기술에서는 각각의 칼라 필터 별로 사진 식각 공정을 개별적으로 실시한다. 예를 들어, 영색법에 의하여 적, 녹, 청의 칼라 필터를 형성할 경우에는 기판에 염색재료를 도포하고, 포토 마스크를 이용하여 노광 및 현상하는 등의 공정을 칼라 필터 별로 진행해야 한다. 이에 반해, 본 발명에 사용되는 전착 기술은 칼라 필터 별로 필요한 제 1 내지 제 3 전착용 극판을 한 번의 사진 식각 공정으로 형성한 후, 각 칼라 필터 별로 전착층을 형성하기만 하면 된다. 이와 같이, 적, 녹, 청의 칼라 필터를 전착공정에 의하여 자동정렬적으로 형성할 수 있어서, 적, 녹, 청의 칼라 필터를 각각 형성하기 위한 별도의 사진 공정이 필요하지 않다. 그래서, 본 발명에 의하여 박막 트랜지스터 기판을 제조할 경우에는 마스크의 사용횟수를 줄일 수 있다는 장점이 있다.

도 9a 내지 도 9c를 참조하면, 게이트선(21)에 교차되는 전착용 극판(91,92,93) 부분을 제거하기 위하여, 게이트선(21)과 전착용 극판(91,92,93)의 교차부에 위치하는 차광막 부분을 건식식각으로 제거하여 그 하단의 전착용 극판(91,92,93)을 노출시킨 후, 전착용 극판(91,92,93)의 노출된 부분을 추가로 식각하여 제거한다. 그 결과, 화면 표시부에서의 각 전착용 극판은 화소셀 영역 별로 분리된다. 도면 부호(131)은 차광막과 전착용 극판을 제거한 후에 차광막과 전착용 극판에 형성된 윪을 나타낸 것이다.

이와 같이, 게이트선(21)에 교차되는 전착용 극판(91,92,93) 부분을 제거하면, 게이트선(21)과 전착용 극판(91,92,93)이 중첩함으로써 생기는 기생 캐패시턴스를 줄일 수 있고, 그에 따라 게이트 신호의 지연을 방지할 수 있다.

그 다음, 기판의 노출된 전면에 투명 도전층을 증착한 후, 투명 도전층을 사진식각하여 접촉 구멍(111)을 통하여 노출된 드레인 전극(64)에 연결되는 화소 전극(141)을 각각의 화소셀 영역에 형성한다.

화소 전극(141)을 형성하기 위한 투명 도전층은 ITO(indium tin oxide) 또는, IZO(indium zinc oxide)와 같은 투명 도전 물질을 사용하여 형성할 수 있다.

여기서, 게이트 보조 패드(97)와 데이터 보조 패드(98)를 전착용 극판(91,92,93) 형성시에 형성하는 대신에 화소 전극(141)을 형성하는 이 공정 단계에서 화소 전극(141)과 동시에 형성할 수 있다.

이와 같이, 본 발명의 실시예에 따른 박막 트랜지스터 기판에서는 칼라 필터층을 박막 트랜지스터 기판에 바로 형성하기 때문에, 칼라 필터를 박막 트랜지스터 기판이 아닌 상대 기판에 형성하고 두 기판을 합착함으로써 고려해야 하는 정렬마진을 충분히 줄일 수 있다.

발명의 효과

상술한 바와 같이, 본 발명은 칼라필터를 박막 트랜지스터 기판에 바로 형성하기 때문에, 박막 트랜지스터 기판과 상대 기판의 합착 과정에서 고려해야 하는 정렬 마진을 충분히 줄일 수 있어서, 개구율을 향상시킬 수 있다. 또한, 본 발명은 전착법에 의하여 칼라 필터를 형성하기 때문에 마스크의 사용횟수를 줄일 수 있어서 제조공정을 단순화할 수 있다.

(57) 청구의 범위

청구항 1

절연기판.

상기 절연기판 위에 형성되는 다수개의 게이트선,

상기 게이트선 각각에 교차하여 다수개의 화소셀 영역을 정의하는 다수개의 데이터선,

상기 화소셀 영역 각각에 상기 게이트선과 상기 데이터선에 전기적으로 연결되어 형성되는 다수개의 박막 트랜지스터,

상기 박막 트랜지스터 각각의 드레인 전극을 노출시키도록 형성되는 보호막,

상기 보호막 위에서 서로 분리되어 상기 화소셀 영역의 내부에 위치하되, 상기 드레인 전극을 노출시키도록 형성되는 전착용 극판,

상기 화소셀 영역 각각에서 전착용 극판의 내부 영역을 노출하는 개구부와 상기 노출된 드레인 전극을 노출시키는 접촉 구멍이 형성되는 차광막,

상기 전착용 극판 각각의 노출된 영역 위에 형성되는 다수개의 제 1 내지 제 3 형 칼라 필터,

상기 노출된 드레인 전극 각각에 연결되어 상기 화소셀 영역 각각에 형성되는 다수개의 화소전극을 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 2

청구항 1에 있어서,

상기 게이트선 각각의 끝단에 형성되는 다수개의 게이트 패드;

상기 데이터선 각각의 끝단에 형성되는 다수개의 데이터 패드를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 3

청구항 1에 있어서,

상기 차광막은 유기 BM(Black Matrix) 물질로 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 4

청구항 1에 있어서,

상기 전착용 극판은 상기 드레인 전극을 포함하는 박막 트랜지스터에 중첩되지 않도록 형성되는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 5

청구항 1에 있어서,

상기 전착용 극판은 드레인 전극만을 노출시키고 화소셀 영역 전체에 중첩되게 형성되는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 6

절연기판 위에 게이트 전극과 게이트선을 포함하는 게이트 배선과 제 1 내지 제 3 전착용 배선을 형성하는 단계와,

상기 게이트 배선과 상기 전착용 배선을 덮는 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 위에 상기 게이트 전극에 중첩되는 반도체층을 형성하는 단계와,

상기 반도체층에 접촉되는 소스 전극, 상기 소스 전극에 대응되어 상기 반도체층에 접촉되는 드레인 전극, 상기 소스 전극에 연장되어 상기 게이트선에 교차하여 화소셀 영역을 정의하는 데이터선을 포함하는 데이터 배선을 형성하는 단계와,

상기 데이터 배선과 상기 반도체층을 덮는 보호막을 형성하는 단계와,

상기 보호막과 상기 게이트 절연막에 상기 드레인 전극을 노출시키는 접촉 구멍과 상기 제 1 내지 제 3 전착용 배선을 순차적으로 노출시키는 접촉 구멍을 형성하는 단계와,

상기 제 1, 제 2 및 제 3 전착용 배선에 일대일 대응으로 연결되어 상기 화소셀 영역에 연장되도록 형성되는 제 1 내지 제 3 전착용 극판을 형성하는 단계와,

상기 화소셀 영역에 위치하는 전착용 극판의 내부영역을 노출시키는 개구부와 상기 노출된 드레인 전극을 노출시키는 접촉 구멍이 있는 차광막을 형성하는 단계와,

상기 전착용 극판의 노출부분 위에 위치하되, 상기 화소셀 각각에 정의되어 있는 특징색을 가지는 다수 개의 제 1 내지 제 3 칼라 필터층을 전착공정에 의하여 순차적으로 형성하는 단계와,

상기 게이트선에 교차하는 전착용 극판 부분을 선택적으로 제거하는 단계와.

상기 드레인 전극에 연결되어 상기 화소셀 각각에 서로 분리되어 형성되는 화소전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조방법.

청구항 7

청구항 6 있어서,

상기 반도체층과 상기 소스 전극의 사이 및 상기 반도체층과 상기 드레인 전극의 사이에 저항성 접촉층을 개재하도록 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조방법.

청구항 8

청구항 6에 있어서,

상기 게이트선에 교차하는 전착용 극판 부분을 제거하는 단계는,

상기 게이트선과 상기 전착용 극판이 교차부에 위치하는 차광막 부분을 사진 식각하여 그 하단의 전착용 극판을 노출시키는 단계,

상기 전착용 극판의 노출된 부분을 추가로 식각하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조방법.

청구항 9

청구항 6에 있어서,

상기 게이트배선 형성시에, 상기 게이트선의 일단에 게이트 패드를 더 형성하고, 상기 데이터배선 형성 시에, 상기 데이터선의 일단에 데이터 패드를 더 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조방법.

청구항 10

청구항 9에 있어서,

상기 드레인 전극과 상기 제 1 내지 제 3 전착용 배선을 노출시키는 접촉 구멍 형성시에, 상기 게이트 패드를 노출시키는 접촉 구멍과 상기 데이터 패드를 노출시키는 접촉 구멍을 더 형성하고,

상기 제 1 내지 제 3 전착용 극판 형성시에, 상기 게이트 패드를 덮는 게이트 보조 패드와 상기 데이터 패드를 덮는 데이터 보조 패드를 더 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조방법.

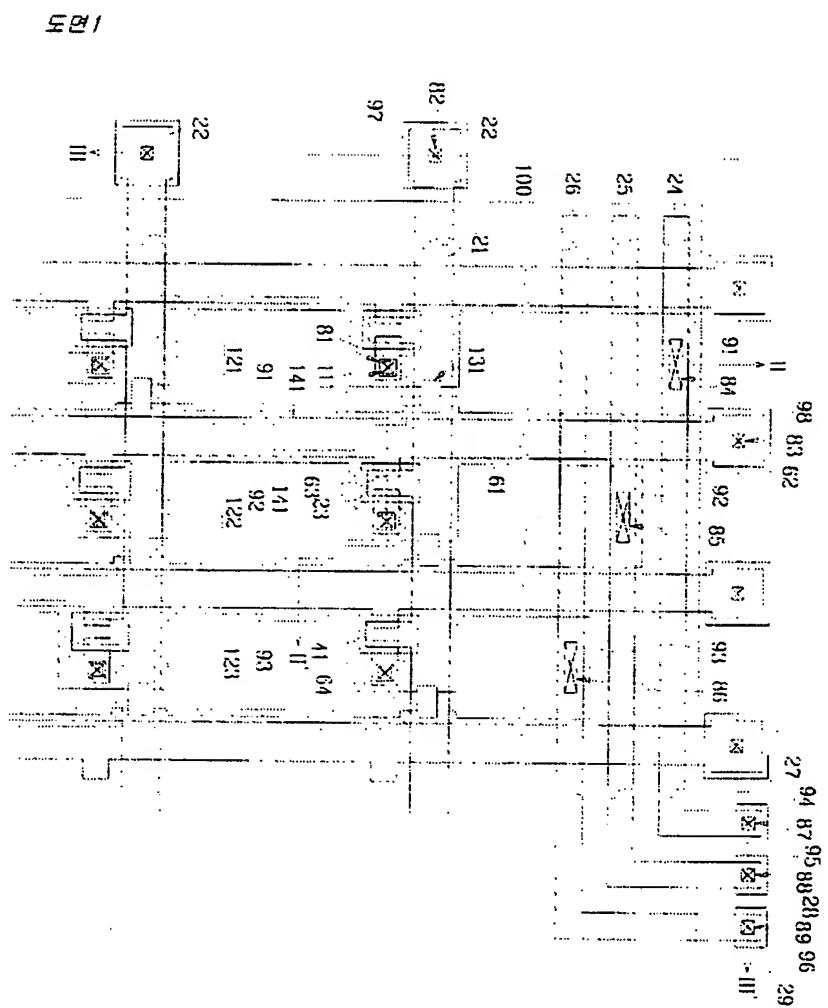
청구항 11

청구항 9에 있어서,

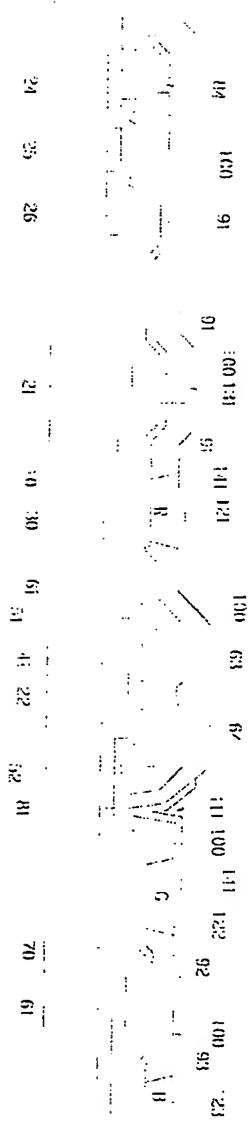
상기 드레인 전극과 상기 제 1 내지 제 3 전착용 배선을 노출시키는 접촉 구멍 형성시에, 상기 게이트 패드를 노출시키는 접촉 구멍과 상기 데이터 패드를 노출시키는 접촉 구멍을 더 형성하고,

상기 화소 전극 형성시에, 상기 게이트 패드를 덮는 게이트 보조 패드와 상기 데이터 패드를 덮는 데이터 보조 패드를 더 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조방법.

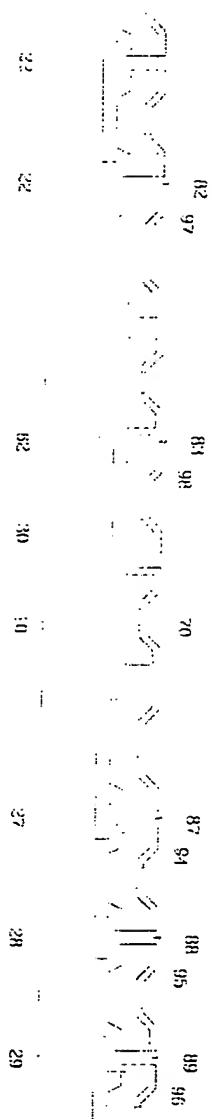
도면



28-9



도면3



도면4a



524b

1
24
25
26
21
10
22

도면4c



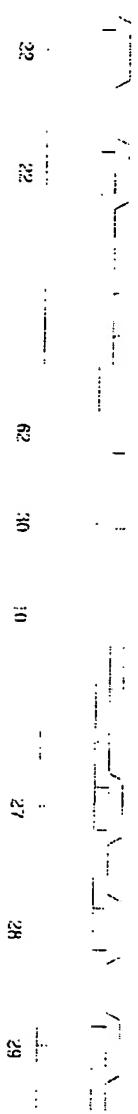
도면5a



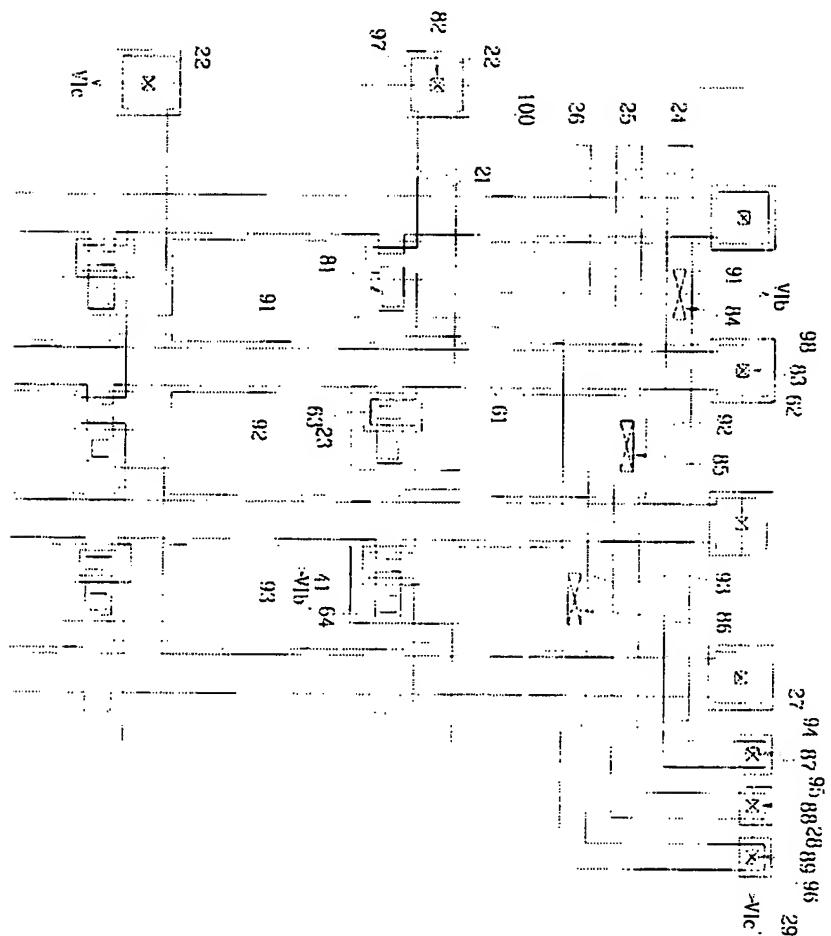
도면5b

63
64

도면5c



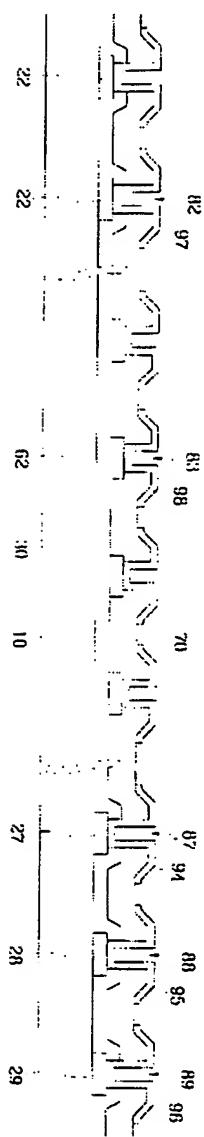
도면6a



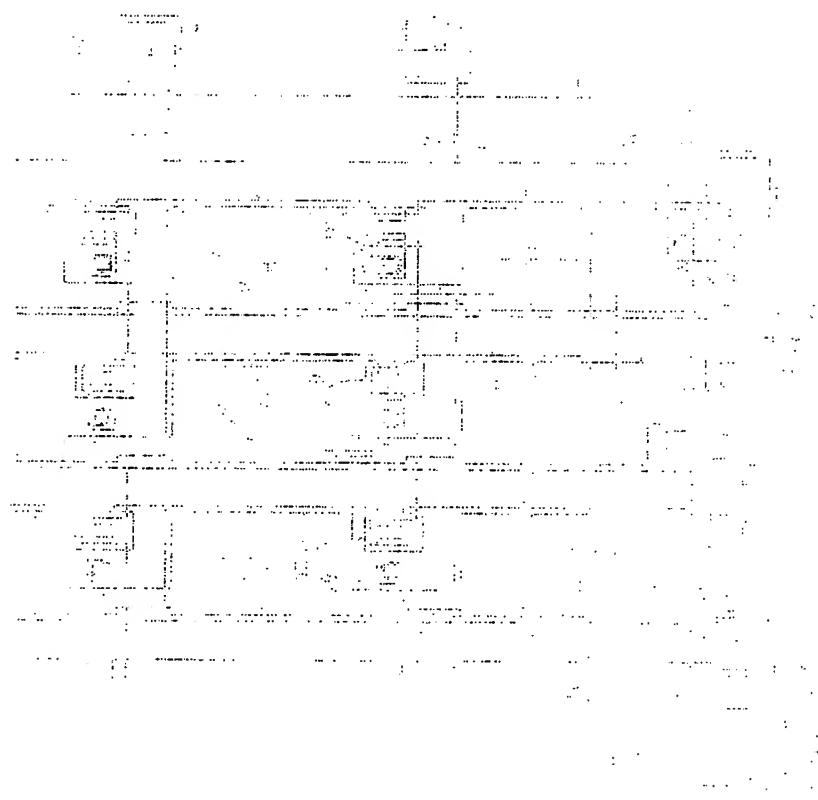
99면5

99
98
97
96
95
94
93
92
91
90
89
88
87
86
85
84
83
82
81
80
79
78
77
76
75
74
73
72
71
70
69
68
67
66
65
64
63
62
61
60
59
58
57
56
55
54
53
52
51
50
49
48
47
46
45
44
43
42
41
40
39
38
37
36
35
34
33
32
31
30
29
28
27
26
25
24
23
22
21
20
19
18
17
16
15
14
13
12
11
10
9
8
7
6
5
4
3
2
1
0

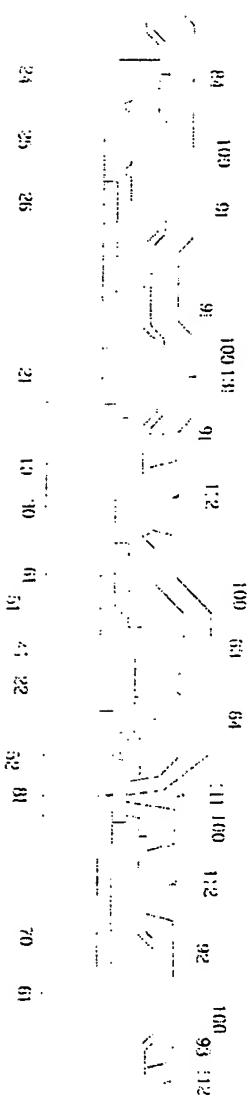
도면6c



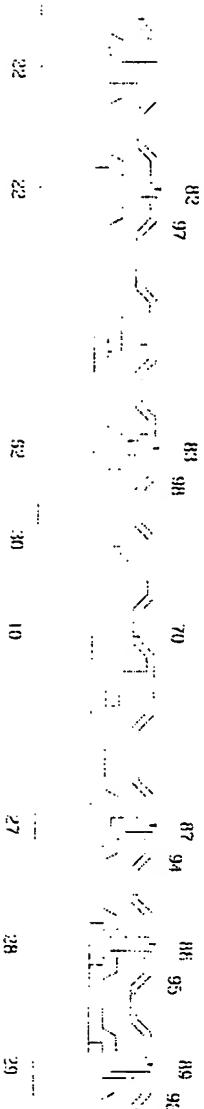
도면7a



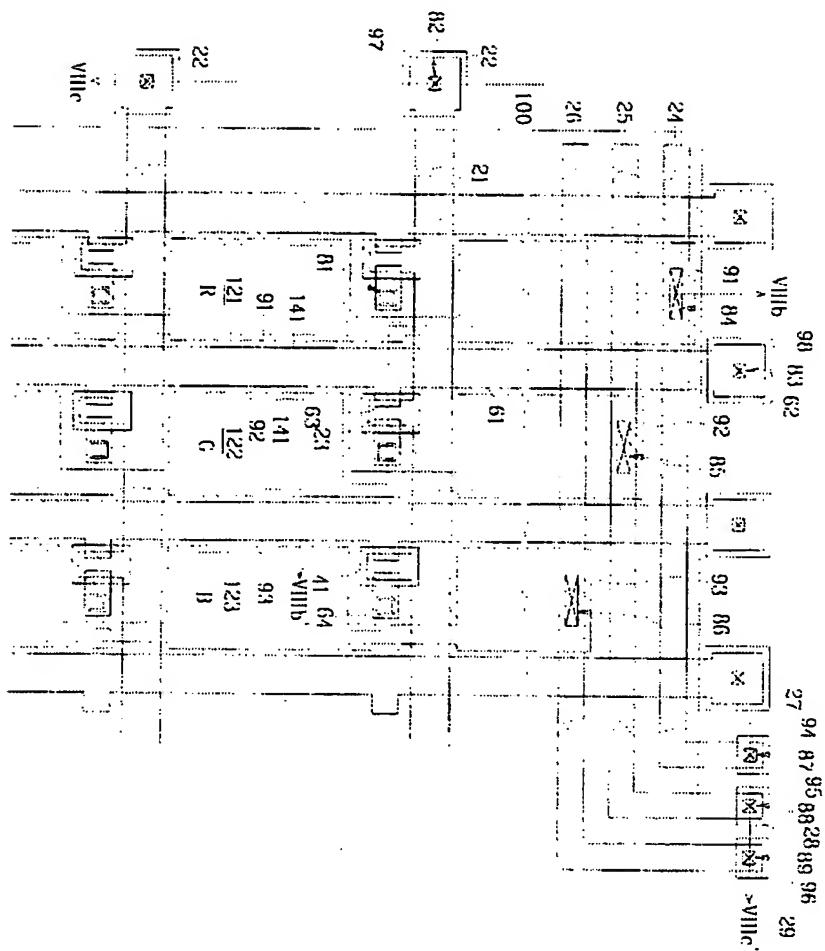
도면 28



도면 7c



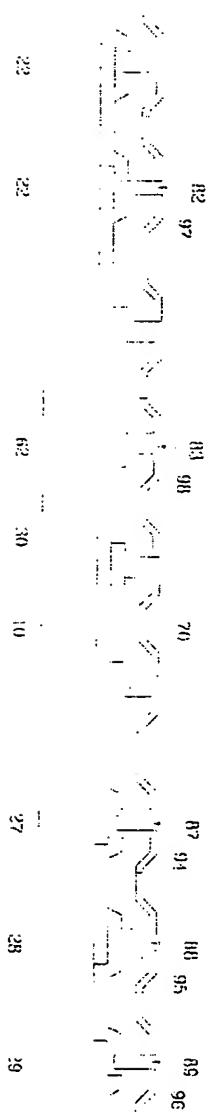
도면 8a



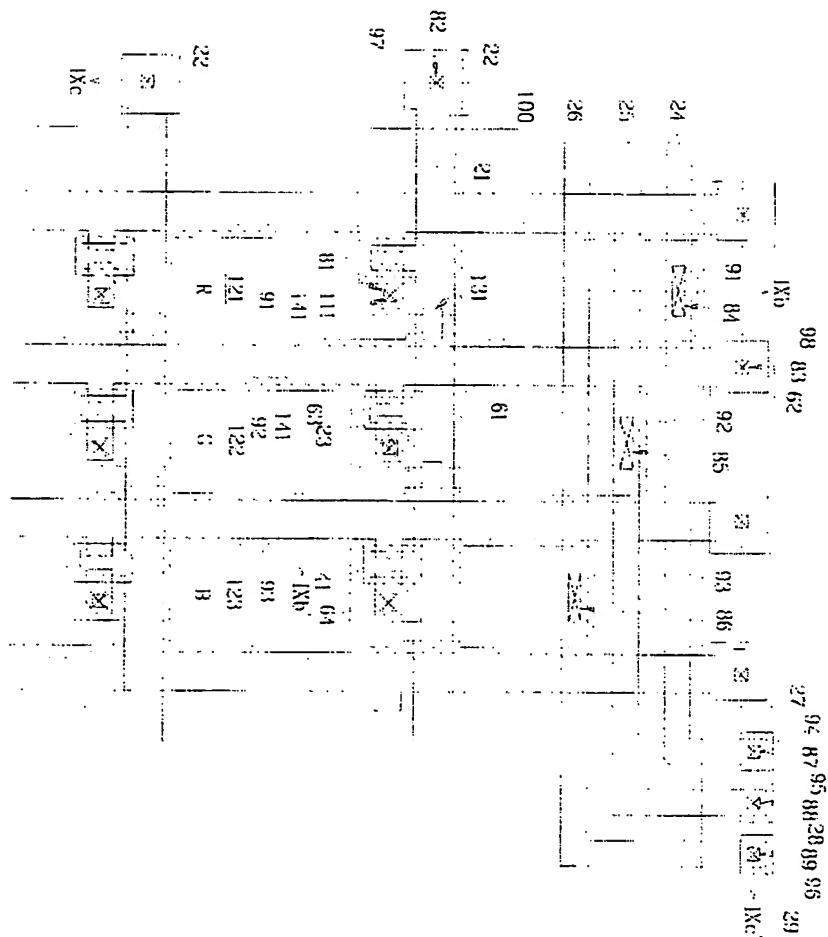
88면5

24	25	26	21	10	30	61	50	41	22	32	81	11	70	69
84	100	91	91	100	91	121	103	63	64	111	100	41	122	92
24	25	26	21	10	30	61	50	41	22	32	81	111	100	41
24	25	26	21	10	30	61	50	41	22	32	81	111	100	41
24	25	26	21	10	30	61	50	41	22	32	81	111	100	41

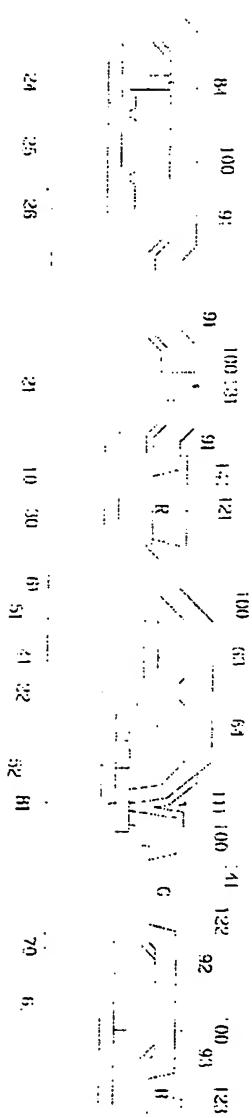
28-25



도면9a



도면9b



26면5

